

文章编号 1004-924X(2009)05-1181-06

应用于 JPEG2000 的离散小波变换并行超大规模集成结构

郝燕玲, 刘 莹

(哈尔滨工程大学 自动化学院, 黑龙江 哈尔滨 150001)

摘要:针对离散小波变换硬件资源占用率高的问题,提出了一种应用于 JPEG2000 的离散小波变换并行超大规模集成(VLSI)结构。引入了基于时间差的(9,7)小波并行滤波技术,使行和列滤波器同时进行滤波;采用 2×2 转置模块,实现了几个寄存器代替大量的中间转置存储空间。实验结果表明,该结构在关键路径的约束条件下,有效降低了硬件复杂性,大大提高了硬件资源利用率,使其几乎达到 100%。该结构已通过 VHDL 布局布线后仿真验证,并可作为单独的 IP 核应用于正在开发的航行数据记录仪(VDR)雷达图像采集卡中。

关键词:JPEG2000;离散小波变换;并行 VLSI 结构

中图分类号:O438;TP391 文献标识码:A

Parallel VLSI architecture of discrete wavelet transform for JPEG2000

HAO Yan-ling, LIU Ying

(College of Automation, Harbin Engineering University, Harbin 15001, China)

Abstract: In order to solve the problem that the Very Large Scale Integration(VLSI) architecture of a Discrete Wavelet Transform(DWT) wastes a huge amount of hardware resources, a parallel VLSI architecture based on the DWT for JPEG2000 is proposed. The architecture introduces a (9,7) wavelet parallel filtering technique based on the time difference, so that the row processor and the column processor can process the signals in a parallel way. By using a 2×2 transforming module, several kinds of registers can be used to substitute a lot of medium transforming memories. Experimental results show that the proposed architecture can efficiently decrease the hardware complexity and can improve hardware utilization to 100% nearly under the tight critical path. The architecture has been implemented in a post-route VHDL, and can be used as a compact and independent IP core for Voyage Data Recorder (VDR) radar image acquisition cards.

Key words: JPEG2000; Discrete Wavelet Transform(DWT);parallel VLSI architecture

1 引言

JPEG2000 是最新的静态图像压缩标准,该标准基于离散小波变换(DWT)的图像压缩编码

系统,具有很多优良特性,如支持按质量和分辨率渐进传输,ROI(Region of Interest)编码等^[1-2]。

对一幅分辨率为 $M \times N$ 大小的图像进行二维离散小波变换,一般处理方法是直接法,即先对图像的行(列)进行滤波变换,再存储行(列)处理的中间

结果,然后进行列(行)滤波变换,这需要 $O(M \times N)$ 大小的中间存储空间,增加了硬件的开销,降低了硬件资源利用率,限制了芯片处理数据的速度^[3-4]。而基于行和卷积的滤波结构可以减少片上存储空间,即用 $11M(11N)$ 大小的行缓存代替了大量存储中间结果的片上存储空间,况且控制逻辑简单,但是仍然占用较多的内部存储器资源^[5]。

JPEG2000 推荐使用提升算法(lifting scheme)来实现小波变换,这种算法的计算复杂度相对于传统的卷积算法减少了约一半,但是需要更长的关键路径(指完成一次离散小波变换执行时间最长的原始数据运算路径),从而限制了硬件实现的效率^[6-8]。文献[9]对提升结构进行了改进,提出了一种更有利于硬件实现的结构—翻转(flipping)结构,通过对提升结构的系数进行巧妙的翻转,缩短了关键路径,但还是使用了较多的硬件资源。

本文在翻转结构的基础上,采用基于行的滤波结构,提出了一种应用于 JPEG2000 的离散小波变换并行 VLSI 结构。该结构由一个行滤波器和一个列滤波器组成,左右边界采用对称延拓;采用了基于时间差的(9,7)小波并行滤波技术,使行和列滤波器同时进行滤波,节省了内部寄存器的数量,进而降低了硬件复杂性;引入 2×2 转置模块,用几个寄存器代替大量的中间转置存储空间。

2 基于翻转结构的离散小波变换

基于翻转结构的离散小波变换仍是基于提升结构,只是改变了系数的位置。以(9,7)小波为例,对 $\tilde{P}(z)$ 进行变形,提取每个主提升和对偶提升过程的系数,实施矩阵的初等变换,翻转提升结构的系数^[8] $\tilde{P}(z)$ 可以分解成式(1),式(1)中 $a_1 = 1/\alpha, b_1 = 1/\alpha\beta, c_1 = 1/\beta\gamma, d_1 = 1/\gamma\delta, k_1 = \alpha\beta\gamma\delta\zeta, k_2 = \alpha\beta\gamma/\zeta$ 是新生成的(9,7)小波正变换翻转结构的系数。

$$\tilde{P}(z) = \begin{bmatrix} 1 & \alpha(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \beta(1+z) & 1 \end{bmatrix} \begin{bmatrix} 1 & \gamma(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \times \begin{bmatrix} 1 & 0 \\ \delta(1+z) & 1 \end{bmatrix} \begin{bmatrix} \zeta & 0 \\ 0 & \frac{1}{\zeta} \end{bmatrix} = \begin{bmatrix} 1 & 1+z^{-1} \\ 0 & a_1 \end{bmatrix} \begin{bmatrix} b_1 & 0 \\ 1+z & 1 \end{bmatrix} \begin{bmatrix} 1 & 1+z^{-1} \\ 0 & c_1 \end{bmatrix} \begin{bmatrix} d_1 & 0 \\ 1+z & 1 \end{bmatrix} \begin{bmatrix} k_1 & 0 \\ 0 & k_2 \end{bmatrix}. \quad (1)$$

因为 $\alpha, \beta, \gamma, \delta$ 都 < 1 , 对它们乘积后取倒数,这样值变得很大,将带来很多问题,因此应该继续变形。如果乘数太大,将导致溢出;运算是级联的,误差将会随着级联而增加;所需数据宽度也将随着级联而增加。为了解决上述问题,对系数右移 k 位(k 是正整数),并保证所有系数接近 1 但又 < 1 。这样处理后,溢出问题就解决了,数据的宽度也就可以固定了,变形结果如式(2)。

$$\tilde{P}(z) = \begin{bmatrix} 1 & 1+z^{-1} \\ 0 & a_2 \end{bmatrix} \begin{bmatrix} b_2 & 0 \\ \frac{1+z}{16} & 1 \end{bmatrix} \begin{bmatrix} 1 & \frac{1+z^{-1}}{2} \\ 0 & c_2 \end{bmatrix} \times \begin{bmatrix} d_2 & 0 \\ \frac{1+z}{2} & 1 \end{bmatrix} \begin{bmatrix} k_3 & 0 \\ 0 & k_4 \end{bmatrix}, \quad (2)$$

式(2)中 $a_2 = a_1, b_2 = b_1/16, c_2 = c_1/32, d_2 = d_1/4, k_3 = 64k_1, k_4 = 32k_2$ 是新生成的(9,7)小波正变换翻转结构的系数。

3 2-D DWT 的并行体系结构

对于处理一幅分辨率为 $M \times N$ 大小的图像,其 2-D DWT 的体系结构如图 1 所示,输入的原始图像数据先经过控制单元模块、列扩展模块和列滤波模块,再经过 2×2 转置模块、行扩展模块、行滤波模块以及优化缩放模块,最后经过存储重排序模块,将输出的小波分解系数写入存储器。控制单元模块是根据当前分解级数和所要求的小波分解级数来判断是否进行下一级小波分解,并且控制输入数据是从原始图像读取,还是从低频滤波结果 LL 子带中读取;列扩展模块位于列滤波模块之前,用于实现列变换输入数据的列对称边界扩展;列滤波模块是对扩展后的数据进行列滤波变换; 2×2 转置模块转置列滤波后的数据,以满足行滤波模块要求的数据流顺序;行滤波模块对转置后的数据进行行滤波变换;合并列滤波模块的缩放步骤和行滤波模块的缩放步骤,形成一个单独的优化缩放模块,然后行滤波后的数据与滤波器常系数相乘;存储重排序模块将数据进行重新排序以满足下一级小波分解的需要;最后把处理结果写入小波系数存储模块。按此体系结构,不但可以使列、行方向内的高频滤波和低频滤波并行化,而且可以使行、列方向滤波变换并行化。

2-D DWT 并行体系结构的数据流向图如图

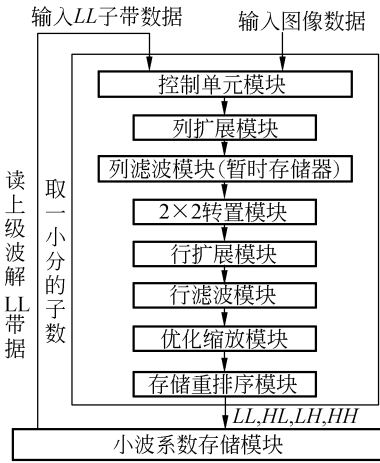


图 1 2-D DWT 的并行体系结构

Fig. 1 Parallel hardware architecture for 2-D DWT

2 所示,由图可知,首先原始图像数据进入控制单元模块处理,以产生列滤波模块需要的数据,然后

图像数据经过列扩展模块和列滤波模块处理,每个时钟周期使用 2 个原始图像数据和暂时存储器的 4 个中间变量,分别在奇数行和偶数行产生低频信号(L)、高频信号(H)和 4 个新的中间变量,同时将 4 个新的中间变量存入暂时存储器,输出数据流的顺序为 L、H、L、H、L、H...;然后每 4 个信号构成[L,H;L,H],经过 2×2 转置模块转置为[L,L;H,H]信号,以满足行滤波模块要求的数据流顺序 L、L、H、H、L、L...;再进入行扩展模块、行滤波模块和优化缩放模块处理,分别产生 LL、LH、HL 和 HH 4 个子带信号,输出数据流的顺序为 LL、LH、HL、HH、LL、LH、HL、HH...;最后经过存储重排序模块,将存储在外部存储器中的数据流顺序重排序为 LL、LL、LL...LH、LH、LH...HL、HL、HL...HH、HH、HH...,这样就完成了 2-D DWT 的一次分解。

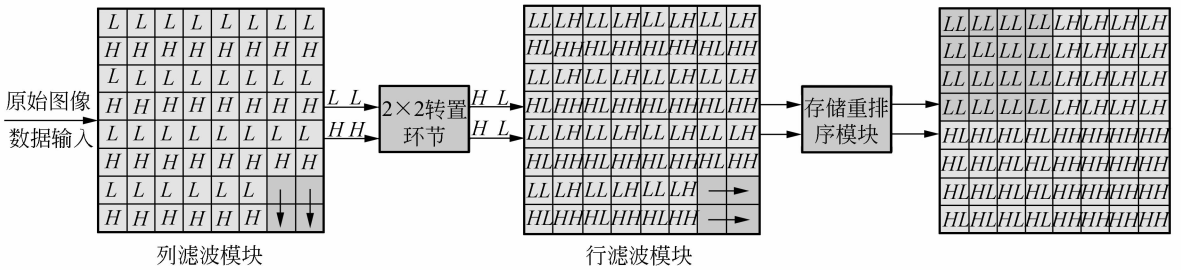


图 2 2-D DWT 硬件结构的数据流向图

Fig. 2 Data flow of hardware architecture for 2-D DWT

3.1 列滤波模块

列滤波模块是按列方向对原始图像数据进行 1-D DWT 的模块,采用基于时间差的(9,7)小波并行滤波技术,对翻转结构进行了改进。基于时间差的(9,7)小波具体实现步骤如式(3)~式(8)所示, x_i 表示原始的输入数据序列, s_i^0 和 d_{i-1}^0 分别表示输入的偶数分量和奇数分量, s_i^1 和 d_{i-1}^1 ($n=1,2$)表示翻转分解得到的中间值,L 和 H 分别表示输出信号的低频分量和高频分量。

$$s_i^0 = x_{2i}, \tag{3}$$

$$d_{i-1}^0 = x_{2i-1}, \tag{4}$$

$$d_{i-1}^1 = a_2 \times d_{i-1}^0 + s_{i-1}^0 + s_i^0, \tag{5}$$

$$s_i^1 = b_2 \times s_i^0 + (d_i^1 + d_{i-1}^1) \gg 4, \tag{6}$$

$$d_{i-1}^2 = c_2 \times d_{i-1}^1 + (s_{i-1}^1 + s_i^1) \gg 1, \tag{7}$$

$$s_i^2 = d_2 \times s_i^1 + (d_i^2 + d_{i-1}^2) \gg 1. \tag{8}$$

根据式(3)~式(8),可设计出一个基于时间差的(9,7)小波列滤波模块结构,如图 3 所示,此结构不包括列滤波模块的缩放步骤。由图可知,每个时钟周期输入 2 个原始图像数据,分为偶数图像数据和奇数图像数据,并送入 a_2 模块处理。方法是:把偶数图像数据和中间结果相加,同时奇数图像数据与滤波器常数相乘,然后二者相加,得到输出结果,其中新产生的中间结果存入 FIFO1 中,同时从 FIFO1 中读取中间结果以供计算使用。接着把 a_2 模块的输出分为偶数点和奇数点,依次进入 b_2 、 c_2 、 d_2 模块处理,处理方法与 a_2 模块类似。随着数据的连续输入,列滤波模块连续处理,这样可以充分利用硬件资源,利用率几乎可达到 100%,而且控制简单,仅利用几个 Pipeline 寄存器即可实现滤波的并行处理。从结构中可以看到,在关键路径为 T_m 的约束条件下

(T_m 和 T_a 分别代表乘法器和加法器的计算延时),完成(9,7)小波的列滤波变换,只需要 4 个乘法器、8 个加法器、5 个内部寄存器和 4 M 大小的内部存储器。由于移位寄存器可以用线与组合逻辑来实现,所以移位寄存器基本上没有硬件的开销。与同类设计相比,由于采用了基于时间差的(9,7)小波并行滤波技术,减小了硬件的开销,增加了硬件资源利用率。

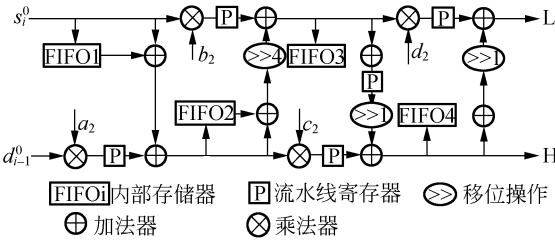
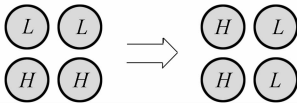


图 3 (9,7)小波列滤波模块结构

Fig. 3 (9,7) wavelet column filter module

3.2 2×2 转置模块

列滤波模块输出数据流的顺序为 L、H、L、H、L、H...，如图 4(a)所示，而行滤波模块要求的数据流顺序为 L、L、H、H、L、L...，如图 4(b)所示。文献[6]使用中间转置存储器来达到这个要求,但占用内部存储空间非常大。为了节省内部存储空间,本文采用了 2×2 转置模块,用 3 个寄存器代替 1.5 M 大小的中间转置存储空间,2×2 转置模块内部结构示意图如图 5 所示。



(a)转置前的系数分布 (b)转置后的系数分布
(a)Before transforming (b)After transforming

图 4 2×2 转置模块的系数分布

Fig. 4 Coefficient distribution of 2×2 transforming module

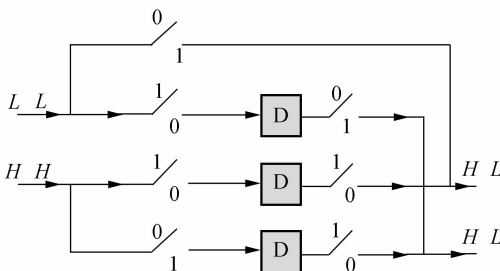


图 5 2×2 转置模块内部结构示意图

Fig. 5 Internal structure of 2×2 transforming module

3.3 行滤波模块

行方向的滤波可以理解列为方向滤波的转置,行滤波模块是按列方向对图像数据进行 1-D DWT 的模块,类似地,根据式(3)~(8),可设计出一个基于时间差的(9,7)小波行滤波模块结构,如图 6 所示,其中用 DREG 代替了列滤波模块中的 FIFO_i 以供保存和读取中间运算结果。从结构中可以看到,在关键路径为 T_m 的约束条件下(T_m 和 T_a 分别代表乘法器和加法器的计算延时),完成(9,7)小波的行滤波变换,只需要 4 个乘法器、8 个加法器和 10 个内部寄存器。

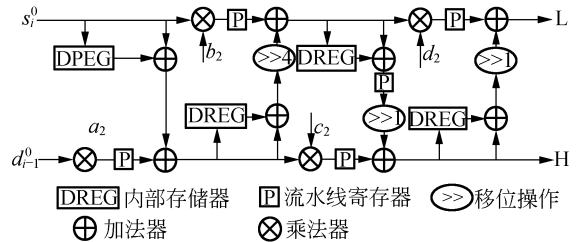
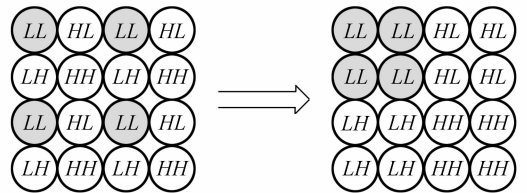


图 6 (9,7)小波行滤波模块结构

Fig. 6 (9,7) wavelet row filter module

3.4 存储重排序模块

行滤波模块输出数据流的顺序为 LL、LH、HL、HH、LL、LH、HL、HH...，如图 7(a)所示，然而存储在外部存储器中的数据流顺序为 LL、LL、LL... LH、LH、LH... HL、HL、HL... HH、HH、HH...，如图 7(b)所示。本文采用存储重排序模块将数据结果进行重新排序以满足下一级小波分解的需要。



(a)重排序前的系数分布 (b)重排序后的关系数分布
(a)Before storage reordering (b)After storage reordering

图 7 存储重排序模块的系数分布

Fig. 7 Coefficient distribution of storage reordering module

3.5 硬件资源利用率

硬件资源利用率是反映并行结构硬件使用率的一个重要指标,一般用使用效率表示。并行系统的效率可以用式(9)表示。

$$\text{eff}(PA) = \frac{\sum_{i=1}^M A_i \times \text{eff}(A_i)}{\sum_{i=1}^M A_i}, \quad (9)$$

这里 A_i 表示第 i 个计算单元, $\text{eff}(A_i)$ 表示 A_i 计算单元的效率, M 表示计算单元的数量。

很明显,该结构每级的硬件效率几乎达到 100%,而且控制非常简单,所以这个并行结构的硬件资源利用率几乎可达 100%。

3.6 结合 EBCOT 编码

JPEG2000 压缩系统首先经过小波变换,再经量化后进入 EBCOT 编码。由于小波分解成 4 个子带是同时完成的,所以在小波并行计算过程中,当在 LH 、 HL 和 HH 子带中形成一个码块大小的数据时就可被读取,并送入 EBCOT 编码,即在小波变换的过程中就可以进行后续编码,这大大提高了芯片处理速度,增加了硬件资源的利用率。

4 硬件实现

VDR 雷达图像采集卡主要用于采集和压缩船载雷达主显示器屏幕上所显示的全部图像内容,其硬件结构如图 8 所示。由图可知,AD9888 采集 3 路 R 、 G 、 B 模拟信号,并将其转换为标准格式的数字 VGA 信号,3 路 R 、 G 、 B 数字信号经过 XC2V1000 逻辑处理分别存入 3 片 MT48LC4M16A2 中,同时采用本文结构在 XC2V1000 中完成 3 路 r 、 g 、 b 数字信号的压缩,最后将压缩好的图像数据通过 PCI 总线送入 PC 机存储。

5 实验结果

本文选用 $512 \times 512 \times 24$ bit 的 Lena 彩色图像,小波滤波器采用 $(9,7)$ 小波,图像的左右边界采用对称延拓,采样时钟频率为 100 MHz,使用 Xilinx 公司的 Virtex-II XC2V1000-4FG456C FPGA 的实验平台进行实验验证,仿真软件

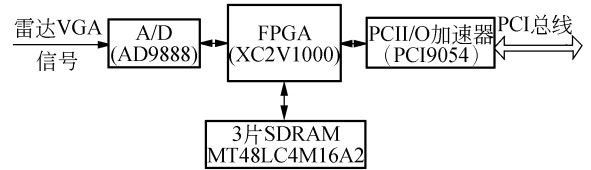


图 8 VDR 雷达图像采集卡硬件框图

Fig. 8 Hardware block diagram of VDR radar image acquisition card

ISE9.1 完成硬件实现结构的编译、布局布线以及下载程序,实验结果如表 1 和表 2 所示。

表 1 1-D DWT 性能比较

Tab. 1 Comparison of 1-D DWT

结构	乘法器	加法器	寄存器	关键路径
Direct	4	8	4	$4T_m + 8T_a$
Direct + fully pipeline	4	8	32	T_m
Flipping[9]	4	8	4	$T_m + 5T_a$
Flipping+5 stage pipeline	4	8	11	T_m
本文算法	4	8	9	T_m

采用本文算法,由表 1 可知,完成一维 $(9,7)$ 小波离散小波变换,仅需要 9 个寄存器;由表 2 可知,完成二维 $(9,7)$ 小波离散小波变换,仅需要 10 个乘法器和 2 048 大小的内部存储器。与同类设计的比较表明,提出的这种 VLSI 结构,在关键路径的约束条件下,寄存器、内部存储器和硬件乘法器的数量有明显的减少。

表 2 2-D DWT 性能比较

Tab. 2 Comparison of 1-D DWT

结构	乘法器	加法器	存储器	关键路径
Generic RAM-based[6]	10	16	2 816	$4T_m + 8T_a$
Flipping[9]	12	16	2 816	$T_m + 5T_a$
Flipping+5 stage pipeline	12	16	6 400	T_m
本文算法	10	16	2 048	T_m

6 结论

提出了一种应用于 JPEG2000 的离散小波变换并行 VLSI 结构;该结构采用了基于时间差的 $(9,7)$ 小波并行滤波技术和 2×2 转置模块,减

少了占用内部寄存器和内部存储器的数量,进一步解决了硬件占用率高的问题。因此,该结构在

图像压缩和信号去噪等多个场合具有非常广泛的实际应用价值。

参考文献:

- [1] TAUBMAN D. High performance scalable image compression with EBCOT[J]. *IEEE Trans. Image Processing*, 2000,9(7):1158-1170.
- [2] CHRISTOPOULOS C, SKODRAS A. The JPEG2000 still image coding system: An overview [J]. *IEEE Trans. Consumer Electronics*, 2000,46(4):1103-1127.
- [3] VISHWANATH M, OWENS R M, IRWIN M J. VLSI architecture for the discrete wavelet transform[J]. *IEEE Trans. Circuit and Systems-II*, 1995,42(5):305-316.
- [4] 陈升来,黄康卿,郭静寰.基于整型提升小波变换的图像处理及 DSP 实现[J]. *光学 精密工程*, 2006,14(3):498-502.
CHEN SH L, HUANG L Q, GUO J H. Image processing based on integral lifting scheme and its implementation by DSP[J]. *Opt. Precision Eng.*, 2006,14(3):498-502. (in Chinese)
- [5] 兰旭光,郑南宁,吴勇,等. JPEG2000 二维离散小波变换高效并行的 VLSI 结构设计[J]. *西安交通大学学报*, 2004,38(2):149-153.
LAN X G, ZHENG N N, WU Y, *et al.*. Highly efficient and parallel VLSI architecture design for JPEG2000 of 2D-discrete wavelet transform [J].

- Journal of Xi'an Jiaotong University*, 2004,38(2):149-153.
- [6] HUANG CH T, TSENG P CH, CHEN L G. Generic RAM-based architectures for two-dimensional discrete wavelet transform with line-based method [J]. *IEEE Transactions on circuits and systems for video technology*, 2005,15(7):910-920.
- [7] 王丽荣,申铨国,王延杰.基于提升方法的整数小波在 DSP 上的实现[J]. *光学 精密工程*, 2004,12(2):185-189.
WANG L R, SHEN X G, WANG Y J. Implementation of integer wavelet transform based on lifting scheme on DSP[J]. *Opt. Precision Eng.*, 2004,12(2):185-189. (in Chinese)
- [8] 刘红,翟林培,高鹰,等.提升小波变换在图像压缩中的应用[J]. *光学 精密工程*, 2005,13(增):201-205.
LIU H, ZHAI L P, GAO Y, *et al.*. Lifting wavelet transform and its application in image compression [J]. *Opt. Precision Eng.*, 2005,13(Supp.):201-205. (in Chinese)
- [9] HUANG CH T, TSENG P CH, CHEN L G. Flipping structure: an efficient VLSI architecture for lifting-based discrete wavelet transform[J]. *IEEE Transactions on Signal processing*, 2005,52(4):1080-1089.

作者简介:



刘 莹(1980—),男,山东淄博人,博士研究生,2006 年于哈尔滨工程大学获硕士学位,主要从事小波分析、信号处理、图像压缩等方面的研究。E-mail: liuying407@hrbeu.edu.cn

导师简介:



郝燕玲(1944—),女,黑龙江哈尔滨人,教授,博士生导师,1967 于哈尔滨工业大学获学士学位,主要从事图像处理、模式识别、智能化信息技术及系统等方面的研究。E-mail: su-liu@163.com